

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

01020271      \*\*Image available\*\*

MANUFACTURE OF MOS TYPE SEMICONDUCTOR DEVICE

PUB. NO.:      57-170571 [JP 57170571 A]

PUBLISHED:      October 20, 1982 (19821020)

INVENTOR(s):    FUJI TATSUO

                  WATANABE TOKUJIRO

APPLICANT(s):    NEC CORP [000423] (A Japanese Company or Corporation), JP  
                  (Japan)

APPL. NO.:      56-055875 [JP 8155875]

FILED:            April 14, 1981 (19810414)

INTL CLASS:      [3] H01L-029/78; H01L-029/60

JAPIO CLASS:     42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R044 (CHEMISTRY -- Photosensitive Resins); R097 (ELECTRONIC

                  MATERIALS -- Metal Oxide Semiconductors, MOS); R100

                  (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL:         Section: E, Section No. 153, Vol. 07, No. 13, Pg. 64, January  
                  19, 1983 (19830119)

#### ABSTRACT

PURPOSE: To prevent the disconnection of a wire on a polysilicon and to reduce the superposition capacity between a gate, source and a drain by etching the side surface of the polysilicon after an ion implantation with two-layer mask of a mask material and a polysilicon layer.

CONSTITUTION: A gate oxidized film 12 and a doped polysilicon 13 are laminated on a P type Si substrate 11, a resist mask 14 is covered, and a sputter etching is performed. Subsequently, with the resist 14 and the polysilicon 13 as masks P ions are implanted to form a source 15 and a drain 16. When an activation and depression are performed, the gate 13 extends downwardly in the amount corresponding to approximately  $(0.6-0.64) \times x(\text{sub } j)$  with respect to the depth  $x(\text{sub } j)$ . Then, when the vertical side surface of the polysilicon 13 is etched, a taper is produced due to the presence of the impurity density difference. When the etching amount at the lowermost end of the gate 13 is selected to  $(0.55-0.6) \times x(\text{sub } j)$ , the superposition of the gate 13 and the source 15, the drain 16 becomes approximately zero, the capacity becomes ultrafine, thereby accelerating the operation, and the disconnection can be prevented by the taper.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

003446400

WPI Acc No: 1982-02981J/198248

**Silicon gate MOSFET prodn. - by depositing poly-silicon layer on  
substrate through insulating film, diffusing impurity into thin layer and  
selectively etching**

Patent Assignee: NIPPON ELECTRIC CO (NIDE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 57170571</b>	A	19821020				198248 B

Priority Applications (No Type Date): JP 8155875 A 19810414

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 57170571	A		2		
-------------	---	--	---	--	--

Title Terms: SILICON; GATE; MOSFET; PRODUCE; DEPOSIT; POLY; SILICON; LAYER;  
SUBSTRATE; THROUGH; INSULATE; FILM; DIFFUSION; IMPURE; THIN; LAYER;  
SELECT; ETCH

Index Terms/Additional Words: METAL; OXIDE; SEMICONDUCTOR; FIELD; EFFECT;  
TRANSISTOR

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-029/78

File Segment: CPI; EPI

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-170571

⑤ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
// H 01 L 29/60

識別記号

庁内整理番号  
7377-5F

⑬ 公開 昭和57年(1982)10月20日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ MOS型半導体装置の製造方法

⑯ 発明者 渡辺徳二郎

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑰ 特 願 昭56-55875

⑱ 出 願 昭56(1981)4月14日

⑲ 出 願 人 日本電気株式会社

⑳ 発 明 者 藤龍夫

東京都港区芝5丁目33番1号

東京都港区芝五丁目33番1号日  
本電気株式会社内

㉑ 代 理 人 弁理士 内原晋

明 細 書

する特許請求の範囲第1項に記載のMOS型半  
導体装置の製造方法。

1. 発明の名称

MOS型半導体装置の製造方法

3. 発明の詳細な説明

本発明はMOS型半導体装置の製造方法に関し、  
とくにシリコンゲートMOS型半導体装置におい  
て多結晶シリコン層上の金属配線層の断線防止、  
およびゲート・ソース間並びにゲート・ドレイン  
間の重なり容量の軽減を目的とし、特に短チャ  
ネルMOS型半導体装置の形成に有効な方法を提  
供するものである。

多結晶シリコンをMOS型半導体装置のゲート  
材料および配線材料として用いることにより、低  
閾値電圧の実現、自己整合拡散による高密度化の  
達成等の利点を得られることは既に良く知られて  
いる。

しかしながら、多結晶シリコン層により形成さ  
れたゲートあるいは配線を有する半導体基板表面  
に気相成長法による絶縁膜を形成しさらにその上  
部に金属配線層を設ける場合、多結晶シリコン層

2. 特許請求の範囲

(1) 半導体基板上に絶縁膜を介して多結晶半導体  
層を形成し、前記多結晶半導体層に不純物を導  
入してその電気抵抗を小さくした後、マスク部  
材を用いて前記多結晶半導体層を選択エッチン  
グし、前記マスク部材と前記多結晶半導体層を  
マスクとしてイオン注入法により前記半導体基  
板中に不純物領域を形成し、さらに前記マスク  
部材をマスクとして前記多結晶半導体層の露出  
した側面をエッチングすることを特徴とするM  
OS型半導体装置の製造方法。

(2) 前記多結晶半導体層の側面のエッチング量が、  
前記多結晶半導体層の底面において、前記半導  
体基板中に形成される不純物領域の深さ $x_j$ に  
対し、 $(0.55 \sim 0.6) \times x_j$ であることを特徴と

の側面の傾斜が急であるか、あるいはまた、後が鋭角をなしていると、その上面に被着される気相成長絶縁膜にはさらに強く上記の傾向が強く表われ、場合によっては、多結晶シリコンの後縁部で絶縁膜にクラックが生ずることもある。したがって、気相成長絶縁膜上の金属配線層は多結晶シリコンの端部に相当する部分で薄くなりやすく、さらには、所望の金属配線層のパターン形成のためのエッチング時に、薄くなった金属配線層部分がくさび形にサイドエッチされ、断線を生じるようになる。この断線は集積回路の機能不良をもたらすため、歩留りに大きな影響をおよぼす点で極めて重要である。

前述の断線の原因は、多結晶シリコン層によるゲートおよび配線部の側面の傾斜が急であり、かつ後の角度が鋭いという点にあることから、多結晶シリコン層の側面の傾斜を緩和し、もって後の角度を鈍くする、いわゆるテーパエッチの手法が導入されるようになっていく。

一方、MOS型半導体装置における多結晶シリ

コンゲートの採用は既に述べたように自己整合拡散が可能であることによる高密度化達成という利点を活用することにある。即ち、トランジスタ領域にゲート酸化膜が形成された後、全面に多結晶シリコン層を被着し、この多結晶シリコン層をマスクとすてソースおよびドレイン領域の不純物拡散を行なうことで、ソースおよびドレイン領域とゲートとを自己整合させるものである。ところで、ゲートとソース領域およびドレイン領域との重なりに起因する容量は、半導体装置の高速化の観点からは、小さければ小さいほどよい。したがって、多結晶シリコンゲートを用いた自己整合によるソースおよびドレイン領域の形成において、ソースおよびドレイン領域の形成のための不純物の導入にあたっては、横方向拡散を考えると、熱拡散法によるよりもイオン注入法を用いる方が望ましい。しかしながら、イオン注入法によりソース領域およびドレイン領域を形成するに際し、多結晶シリコンゲート層が前述の如き理由により、既にテーパエッチによって形成されている場合

には、多結晶シリコンゲート層は完全なマスクとはなり得ない。即ち、イオン注入源側からみた場合、多結晶シリコンゲートの上端部から下端部にかけて、多結晶シリコン層の厚さが漸減しているために、不純物イオンは多結晶シリコンゲート層の下端部よりゲート下の領域にまで注入されることになり、その結果、ゲート・ソース間およびゲート・ドレイン間の重なり容量は、テーパエッチが施されていない多結晶シリコンゲート層を用いた場合よりも大きくなる。

本発明の目的は、多結晶シリコンゲートとイオン注入法とを用いてソース領域およびドレイン領域を自己整合的に形成するMOS型半導体装置の製造方法における前述の従来方法の欠点を排除し、ゲート・ソース間およびゲート・ドレイン間の重なり容量を可能な限り減少させるとともに、金属配線の断線をも防止するための新規なMOS型半導体装置の製造方法を提供することにある。

さらに、イオン注入法によりソース領域およびドレイン領域を形成する場合でも、イオン注入後、注入不純物の活性化および押込という熱工程はイオン注入による結晶損傷の回復をはかる為にも必要であるが、イオン注入直後では多結晶シリコンゲート端に整合していたソース領域およびドレイン領域も、この熱工程による不純物の横方向拡散のために、ゲート下に拡がってゆき、その結果ゲート・ソース間およびゲート・ドレイン間の重なり容量を増加させる。

本発明によれば、半導体基板上に酸化膜を介して多結晶半導体層を形成し、この多結晶半導体層に不純物を熱拡散法によって導入して電気抵抗を小さくした後、マスク部材を用いて多結晶半導体層を選択エッチングし、少くともゲート電極を形成し、その後マスク部材を不純物選択導入のマスクとしてイオン注入により半導体基板中に不純物を導入して少くともソースおよびドレイン領域を形成し、さらにマスク部材をエッチングマスクとしてゲート電極を形成する多結晶半導体層の側面を選択的にエッチングすることを特徴とするMOS型半導体装置の製造方法を得る。

以下、本発明に関して図面を用いて詳述する。図は本発明の一実施例を示した図である。まず、図(A)に示すようにP型シリコン基板11にゲート酸化膜12、不純物がドーブされた多結晶シリコン層13'を形成する。ここで多結晶シリコン層13'への不純物ドーブは多結晶シリコン層13'の形成後、熱拡散法を用い、多結晶シリコン層13'の抵抗が十分小さくなる程度まで行なう。ついで図(B)に示すように、ホトレジスト14を用いて多結晶シリコン層13'を選択的に除去して所望のゲートパターン13を形成する。ここで多結晶シリコン層13'の選択的除去にあたっては、ゲートパターン13の側面がゲート酸化膜12の表面に対して可能な限り垂直になるよう留意する。この目的のためには現在のところスパッタエッチング法が最も有効である。次に、ホトレジスト14およびゲートパターン13をマスクとし、N型不純物(例えばリン)のイオン注入を行ない、さらに注入イオンの活性化および押込を行なって、ソース領域15およびドレイン領域16を形成する。図

(C)は押込終了後の状態を示しており、ソース領域15およびドレイン領域16は、その深さ $x_j$ に対して $(0.6 \sim 0.64) \times x_j$ 程度、ゲートパターン13の端よりもゲートパターン13の下に拡がっている。ここで、ソース領域15およびドレイン領域16のゲートパターン13の下への拡がり熱拡散法による $\sim 0.8 \times x_j$ に比べて小さくはなっているが決して零ではないことに注意する必要がある。次に、図(D)に示すようにホトレジスト14をマスクとしてゲートパターン13を形成している多結晶シリコン層の側面をエッチングする。この時、多結晶シリコン層中の不純物濃度は表面が高く、ゲート酸化膜12表面に近づくにつれて低くなっているから、不純物濃度が高い多結晶シリコンほどエッチング速度が高くなるエッチング法を用いると、ゲートパターン13の側面は、ゲート酸化膜12の表面から離れるほど速くエッチングされるから、エッチングが進むにつれてテーパがつくようになる。さらに、ゲートパターン13の最下端部のエッチング量を、ソース領域

15およびドレイン領域16の深さ $x_j$ に対して $(0.55 \sim 0.6) \times x_j$ とすることで、ゲートパターン15とソース領域15およびドレイン領域16との重なりはほぼ零ないし、あっても従来方法による重なりと比較すれば無視し得るほど小さくすることが可能となる。このような、エッチング速度が不純物濃度に敏感で、かつエッチング量の正確な制御が可能なエッチング法としては、プラズマエッチング法が望ましいものの一つである。次いで、ホトレジスト14を除去して図(E)を得る。ここで、ゲートパターン13の側面のエッチングに際してホトレジスト14を除去してからエッチングを行なう方法も提案されているが、この場合、ゲートパターン13の表面(しかも不純物濃度が高い部分)もエッチングされてしまうため、ゲートパターン13の電気的抵抗値が本発明の方法によるよりも高くなり、その結果、ゲートパターン13とソース領域15およびドレイン領域16との重なり容量の減少から期待されるほどの高速化をはかることはできなくなる。

以上説明したように、本発明によれば、ゲートパターン13の端部にテーパをつけ、もって金属配線の断線を防止することが可能となるとともに、ゲートパターン13とソース領域15およびドレイン領域16との重なり容量を極めて小さくなり、もって高速化が可能となる。

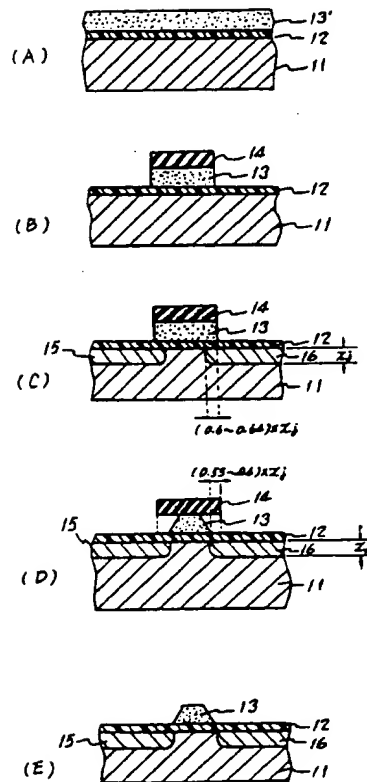
なお、以上の説明においては、シリコン基板をP型、ソース領域およびドレイン領域形成のための不純物をN型不純物としたが、N型シリコン基板にP型不純物(たとえばボロン)をイオン注入する際に本発明を適用しても全く同様の効果が得られる。また多結晶シリコンへの不純物導入は熱拡散の他イオン注入でも良い。さらに、本発明の方法はシリコンだけでなく他の半導体を用いたMOS型半導体装置の製造に適用し得ることはいうまでもない。

#### 4. 図面の簡単な説明

図(A)~(E)は本発明の一実施例によるMOS型半導体装置の製造工程を示す各工程での断面図であ

る。

ここで、11……シリコン基板、12……ゲート酸化膜、13'……不純物がドーブされた多結晶シリコン層、13……ゲートパターン、14……ホトレジスト、15……ソース領域、16……ドレイン領域を示す。



## 手続補正書(方式)

昭和56年8月24日

特許庁長官 殿

1. 事件の表示 昭和56年特許願第55875号
2. 発明の名称 MOS型半導体装置の製造方法
3. 補正をする者

事件との関係

出願人

東京都港区芝五丁目33番1号  
(423) 日本電気株式会社  
代表者 関本忠弘

4. 代理人

〒108 東京都港区芝五丁目37番8号 住友三田ビル  
日本電気株式会社内  
(6591) 井理士 内原  
電話 東京 (03) 456-3111(大代表)  
(連絡先 日本電気株式会社 特許部)

5. 補正命令の日付

昭和56年8月25日(発送日)

特許庁

## 6. 補正の対象

明細書の「図面の簡単な説明」の欄

## 7. 補正の内容

明細書の第10頁18~19行目の全体を「図は本発明の一実施例によるMOS型半導体装置の製造工程を示すもので、図(A)~図(E)はそれぞれ各工程での断面図である」に訂正する。

代理人 井理士 内原 晋

